

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Cho Dong-Sik

Docket: 8729-229

Serial No.: 10/823,308


Filed: April 13, 2004

For: METHOD AND SYSTEM FOR LOCATING A
GPS CORRELATED PEAK SIGNALCommissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450SUBMISSION OF PRIORITY DOCUMENTS

Sir:

Attached herewith are certified copies of Korean Application No. 2003-47185 filed July 11, 2003 and Korean Application No. 2003-58493 filed August 23, 2003 from which priority is claimed in the above-identified application under 35 U.S.C. §119.

Respectfully submitted,
F. CHAU & ASSOCIATES, LLC



Frank Chau
Reg. No. 34,136
Attorney for Applicant(s)

F. CHAU & ASSOCIATES, LLC
1900 Hempstead Turnpike, Suite 501
East Meadow, NY 11554
Tel.: (516) 357-0091
Fax: (516) 357-0092
FC/pg

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail, postpaid in an envelope, addressed to the: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on May 20, 2004.

Dated: 5/20/04



Frank Chau



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0058493
Application Number

출원년월일 : 2003년 08월 23일
Date of Application AUG 23, 2003

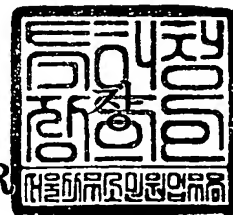
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 05 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.08.23
【발명의 명칭】	동기포착방법 및 회로
【발명의 영문명칭】	Method and circuits for acquiring synchronization
【출원인】	
【명칭】	삼성전자주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	조동식
【성명의 영문표기】	CH0,Dong Sik
【주민등록번호】	690710-1182510
【우편번호】	442-746
【주소】	경기도 수원시 팔달구 영통동 황골마을한국아파트 211동104호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	8 면 8,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	8 항 365,000 원
【합계】	402,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 동기포착방법 및 회로를 개시한다. 본 발명의 방법은 수신된 동상신호 및 직교상 신호와 복제된 신호 사이의 상관 적분 값을 각각 구한다. 상기 구해진 동상 및 직교상의 상관 적분 값 쌍을 합성하여 하나의 샘플 값을 발생한다. 소정의 샘플기간 동안 상기 샘플 값들을 저장한다. 상기 저장된 샘플 값들을 고속푸리에 변환하여 변환 값을 획득한다. 복수의 탭들에 대하여 각각 획득된 변환 값들로부터 피크 값을 가지는 탭을 결정한다.

따라서, 본 발명에서는 CDMA 통신 시스템에서 동기 포착시 메모리의 사용량을 줄이고 1 채널 FFT를 수행함으로써 처리속도를 향상시킨다.

【대표도】

도 3

【명세서】

【발명의 명칭】

동기포착방법 및 회로{Method and circuits for acquiring synchronization}

【도면의 간단한 설명】

도 1은 본 발명에 관련된 GPS 수신기의 블록도.

도 2는 도 1의 채널회로의 종래의 구성을 나타낸 블록도.

도 3은 본 발명에 의한 채널회로의 구성을 나타낸 블록도.

도 4는 도 3의 합성부의 센터 탭 이외의 탭에 대응하는 합성기의 회로도.

도 5는 도 3의 합성부의 센터 탭에 대응하는 센터 합성기의 회로도.

도 6은 피크치가 존재하지 않는 탭의 1샘플기간 동안의 샘플값 변화를 나타낸 그래프.

도 7은 피크치가 존재하는 탭의 1샘플기간 동안의 샘플값 변화를 나타낸 그래프.

도 8은 1샘플기간 동안의 피크치가 존재하지 않는 탭과 피크치가 존재하는 탭의 합성값 변화 및 피크 탭 추세를 대비한 그래프.

도 9는 종래의 2채널 FFT의 결과와 본 발명에 의한 1채널 FFT의 결과를 비교한 그래프.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 확산 스펙트럼(SS : Spread Spectrum) GPS(Global Positioning System) 수신기에 관한 것으로, 특히 동기 포착을 위한 상관 최대값의 탐색을 고속으로 할 수 있는 방법 및 회로에 관한 것이다.

- <11> 광역 위치결정 시스템(GPS:Global Positing System)은 일정 궤도에 30개 이상의 위성들 설치하고 특정 위치에서 30개 위성들 중 최대 12개의 위성들이 GPS 수신기로 동시에 볼 수 있다.
- <12> GPS 수신기는 가시범위 이내에 있는 몇 개의 위성들로부터 동시에 전송된 신호들의 통과 시간을 계산함으로써 위치를 결정한다. 수신기는 위치를 계산하기 위해서 적어도 네 개의 가시 위성들의 신호를 수신해야 한다.
- <13> GPS 시스템의 각 위성은 1575.42 MHz의 반송 주파수로 소위 L1 신호를 전송한다. 이 주파수는 또한 $154f_0$ 로 표시되고, 여기서, $f_0 = 10.23$ MHz이다.
- <14> 위성에서, 신호들은 유사잡음시퀀스로 코드 분할 다중 액세스(CDMA : CODE DIVISION MULTI ACCESS) 방식으로 변조되어 코드 변조 광대역 신호로 형성된다.
- <15> L1 신호의 변조를 위해 각각의 위성에 이용된 유사잡음시퀀스들 중 하나는 골드 코드인 C/A 코드(조약/포착 코드)이다. 각 GPS 위성은 고유한 C/A 코드를 이용하여 신호를 전송한다. 코드들은 두 개의 1023비트 이진 시퀀스들의 모듈로2 합으로 형성된다. C/A 코드들은 이진 코드들이며, GPS 시스템에서 그 칩핑 레이트는 1.023 MHz이다. C/A 코드는 코드의 반복 시간이 1ms임을 의미하는 1023 칩들을 구비한다.
- <16> L1 신호의 반송파는 50bit/s의 비트 레이트의 네비게이션 정보로 더 변조된다. 네비게이션 정보는 위성의 헬쓰(health), 궤도 및 클럭 데이터 매개변수들 등에 대한 정보를 포함한다.

- <17> 위성 신호들을 검출하고, 위성들을 식별하기 위해서, 수신기는 동기화 동작을 수행해야 하며, 수신기는 신호로 전송된 데이터가 수신되고 복조될 수 있도록, 각각의 위성들의 신호를 검색하고, 신호와 동기화를 시도한다.
- <18> 위치결정 수신기는 예컨대, 수신기가 스위치 온 될 경우에, 또한 수신기가 장시간 동안 임의의 위성의 신호를 수신할 수 없게 된 상황에서 동기화를 수행해야 한다. 이와 같은 상황은 예컨대, 디바이스가 움직이고, 디바이스의 안테나가 항상 위성들에 관련하여 최적 위치에 있지 않기 때문에, 이동 디바이스들에서 쉽게 발생할 수 있고, 수신기에 도달하는 신호의 세기를 약하게 한다. 도시 지역들에서, 빌딩들은 또한 수신 신호에 영향을 미치고, 부가적으로, 전송 신호가 예컨대, 위성으로부터 일직선인(시선), 또한 빌딩들로부터 반사된 몇 개의 다른 루트들을 통해 수신기에 도달하는 소위 다중경로 전파를 일으킬 수 있다. 이러한 다중경로 전파의 결과로서, 동일한 신호는 다른 위상들을 갖는 몇 개의 신호들로서 수신된다.
- <19> 위성들에 대한 거리는 시간이 수신기에서 정확히 알려져 있지 않기 때문에 유사 범위(pseudo range)들이라 불리운다. 그 경우에 위치 및 시간의 결정은 충분한 정확성이 이루어질 때까지 반복된다.
- <20> 유사 범위의 계산은 다른 위성 신호들의 평균 통과 시간들을 측정함으로써 수행될 수 있다. 수신기가 수신 신호와 동기화한 후에, 신호로 전송된 정보는 복조된다.
- <21> 거의 모두 알려진 GPS 수신기들은 유사범위들을 계산하기 위해 상관 방법들을 이용한다. 위성들의 유사 랜덤 시퀀스들은 위치결정 수신기에 국부적으로 저장되거나, 생성된다.
- <22> 다운 변환이 수신 신호에 대해 수행되고, 수신기는 수신 신호를 저장된(또는 국부적으로 생성된) 유사잡음시퀀스와 승산한다. 승산의 결과로서 형성된 신호는 적분되고 그 결과는 수

신 신호가 위성에 의해 전송된 신호를 포함하는지를 표시한다. 수신기에서 실행된 승산은 매 시간 수신기에 저장된 유사잡음시퀀스의 위상이 쉬프팅되도록 반복된다. 정확한 위상은 상관 결과가 가장 높을 경우에, 정확한 위상이 발견되는 방식으로 추정된다. 상관 결과는 또한 GPS 신호로 전송된 정보를 나타내며, 복조 신호임을 의미한다.

<23> 상술한 동기화 및 주파수 조정 처리는 수신기에 수신된 각각의 위성 신호에 대해 반복되어야 한다. 따라서, 이러한 처리는 수신 신호들이 약한 상황에서 특히 많은 시간을 소모한다.

<24> 일부 종래 기술의 수신기들에서, 몇 개의 상관기들이 이러한 처리를 가속화시키기 위해 이용되며, 그로인해 더 많은 상관 피크들이 동시에 검색될 수 있다. 특정한 응용들에서, 상관기들의 수가 무한하게 증가될 수 없기 때문에, 상관기들의 수를 단순히 증가시킴으로써 동기화 및 주파수 조정 처리를 보다 많이 가속화시킬 수는 없다.

<25> 일반적으로 수신기에서는 고속 동기를 위하여 다수의 채널을 가지며, 각 채널은 다중 상관 탭들로 구성된다. 따라서, 채널 수와 탭수에 비례하여 메모리에 저장되는 상관 피크값들의 수도 증가하게 되므로 많은 저장공간이 요구된다. 또한, 메모리에 저장된 데이터들을 참조하여 프로세서에서 동기 포착을 결정하는 고속푸리에 변환(FFT) 알고리즘을 수행하기 위해서는 프로세서와 메모리 사이의 데이터 액세스량이 그만큼 증가하게 된다. 또한, FFT 과정에서 동상 및 직교상의 2채널 FFT를 수행하게 되므로 그만큼 처리 속도가 늦어지게 된다.

<26> 그러므로 많은 데이터를 메모리에 고속으로 저장하고 다시 이들 데이터를 독출하여 데이터를 처리하기 위해서는 프로세서와 메모리 사이의 하드웨어 설계 부담이 증가하게 된다.

- <27> 또한, 많은 데이터를 저장하기 위해서는 대용량의 메모리가 요구되므로 메모리가 차지하는 면적이 커지게 되므로 이는 GPS 수신기의 소형화를 방해한다.
- <28> 따라서 GPS 수신기 개발자 또는 제조업체들은 이와 같은 문제점을 해소하기 위하여 복수의 상관 적분 값들을 메모리에 저장하기 전에 임계 값과 비교하여 임계 값 이상의 상관 적분 값만을 메모리에 저장하는 기술들을 채용하고 있다. 미국특허 6,208,291호에 그 일예가 개시되어 있다.
- <29> 그러나, 상관 적분 값들을 단순히 임계 값과 비교할 경우에는 잘못된 값이 상관 최대 값으로 탐색될 우려가 있다. 그러므로, 이와 같은 오류를 최대한 줄이기 위하여 각 제조업체별로 각자 고유의 알고리즘을 사용한 다양한 기술들을 연구하고 있다.

【발명이 이루고자 하는 기술적 과제】

- <30> 본 발명의 목적은 상술한 종래 기술의 문제점을 해결하기 위하여 상관 적분된 샘플 값들을 메모리에 저장하기 전에 동상 샘플 값과 직교상 샘플 값을 하나로 합성하고 합성된 샘플 값으로 1 채널 FFT를 수행하는 동기포착방법 및 장치를 제공하는 데 있다.

【발명의 구성 및 작용】

- <31> 상기 목적을 달성하기 위하여 본 발명의 방법은 수신된 동상신호 및 직교상 신호와 복제된 신호 사이의 동상 및 직교상 상관 적분 값을 각각 구한다. 상기 구해진 동상 및 직교상의 상관 적분 값 쌍을 합성하여 하나의 샘플 값으로 발생한다. 소정의 샘플기간 동안 상기 샘플 값들을 저장한다. 상기 저장된 복수의 샘플 값들을 1 채널 고속푸리에 변환하여 변환 값을 획득한다. 복수의 탭들에 대하여 각각 획득된 변환 값들로부터 피크 값을 가지는 탭을 결정한다.

- <32> 본 발명에서 샘플 값을 발생하는 단계는 현재 동상 상관 적분 값과 이전 동상 상관 적분 값의 부호가 서로 다를 경우에는 현재 동상 상관 적분 값의 부호를 음의 부호로 하고 동일한 경우에는 양의 부호로 한다. 현재 직교상 상관 적분 값과 이전 직교상 상관 적분 값의 부호가 서로 다를 경우에는 현재 직교상 상관 적분 값의 부호를 음의 부호로 하고 동일한 경우에는 양의 부호로 한다. 상기 부호 처리된 동상 상관 적분 값과 직교상 상관 적분 값을 합산하여 그 합산 값을 상기 샘플 값으로 발생한다.
- <33> 본 발명에서 부호 처리된 동상 및 직교상 상관 적분 값들 각각의 절대 값은 현재 동상 및 직교상 상관 적분 값들 적절한 양수, 바람직하기로는 절대 값의 1/2의 값으로 조절한다.
- <34> 본 발명의 방법은 상기 피크 값을 가진 탭을 결정한 이후에는 상기 결정된 탭으로부터 동상 상관 적분 값과 직교상 상관 적분 값을 분리 샘플 값으로 각각 저장하는 단계를 더 구비한다.
- <35> 본 발명에서 소정의 샘플기간은 FFT의 구성에 따라 결정되고, 예컨대 16포인트 FFT의 경우에는 16샘플을 획득하는 기간으로 한다.
- <36> 본 발명의 회로는 복수의 탭들로 구성되고, 각 탭에서는 수신된 동상신호 및 직교상 신호와 복제된 신호 사이의 상관 적분 값을 각각 구하는 상관 적분부와, 상기 구해진 동상 및 직교상의 상관 적분 값 쌍을 합성하여 각 탭별로 하나의 샘플 값을 각각 발생하는 합성부와, 소정의 샘플기간 동안 상기 샘플 값들을 저장하는 제1저장부와, 상기 저장된 샘플 값들을 고속푸리에 변환하여 변환 값을 획득하고, 획득된 변환 값들로부터 피크 값을 가지는 탭을 판단하는 피크 탭 판단부와, 상기 피크 탭 판단부에 응답하여 상기 상관 적분부의 각 탭에 서로 다른 지연특성을 가진 복제된 신호를 제공하는 코드 발생부를 구비한다.

- <37> 본 발명의 회로에서 합성부는 현재 동상 상관 적분 값과 이전 동상 상관 적분 값의 부호가 서로 다를 경우에는 현재 동상 상관 적분 값의 부호를 음의 부호로 하고 동일한 경우에는 양의 부호로 하는 동상 부호처리부와, 현재 직교상 상관 적분 값과 이전 직교상 상관 적분 값의 부호가 서로 다를 경우에는 현재 직교상 상관 적분 값의 부호를 음의 부호로 하고 동일한 경우에는 양의 부호로 하는 직교상 부호처리부와, 상기 부호 처리된 동상 상관 적분 값과 직교상 상관 적분 값을 합산하여 그 합산 값을 상기 샘플 값으로 발생하는 가산기로 구성된다.
- <38> 본 발명의 회로는 상기 피크 값을 가진 탭을 결정한 이후에는 상기 결정된 탭으로부터 동상 상관 적분 값과 직교상 상관 적분 값을 분리·샘플 값으로 각각 저장하는 제2저장부를 더 구비한다.
- <39> 본 발명은 PN 코드를 사용하는 CDMA 통신 수신기의 동기포착회로의 적용되며 특히 GPS 수신 집적회로 칩의 동기포착회로에 적용된다.
- <40> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 구체적으로 설명하고자 한다. 이 실시예는 이 기술에 숙련된 자들이 본 발명을 실시할 수 있게 충분히 상세하게 기술한다.
- <41> 도 1은 일반적인 GPS 수신장치의 구성을 나타낸다. GPS 수신장치(100)는 GPS 위성들(10)로부터 전송된 1575.42MHz의 무선주파수신호를 GPS 안테나(102)를 통하여 수신한다. 수신된 무선주파수신호는 무선주파수 컨버터(104)에서 국부발진기(106)로부터 제공되는 국부 발진 신호와 혼합되어 4.3MHz의 중간주파수신호로 다운 컨버팅된다. 무선주파수 컨버터(104)는 저잡음 증폭기, 필터, 믹서, 중간주파수증폭기, 직교믹서(quadrature mixer)를 통해 동상 및 직교상 중간주파수신호로 분리되어 출력된다.

- <42> 동상 및 직교상 중간주파수신호는 아날로그 디지털 변환기(ADC)를 통하여 각각 디지털 데이터신호로 변환되고 변환된 동상 및 직교상 디지털 데이터신호는 각각 복수의 채널 회로(110)에 전달된다. 각 채널회로(110)에서는 선택된 위성으로부터 제공된 GPS 신호의 동기포착 및 트래킹을 위한 코드상관관계를 수행하여 상관 최대 값을 탐색한다.
- <43> 탐색처리기(112)에서는 탐색된 상관 최대 값을 가지고 동기포착 및 트래킹 동작을 수행하여 각 위성들로부터의 유사범위를 산출한다. 제어부(114)에서는 탐색처리기(112)로부터 제공된 복수의 유사범위들을 사용하여 수신기의 위치 값을 산출하고 산출된 위치 값을 표시부(116)에 표시한다.
- <44> 도 2를 참조하면, 종래의 채널회로(110)는 각 채널마다 선택된 위성신호의 C/A(coarse/acquisition)코드 및 반송파 주파수를 포착하기 위하여 2차원 탐색과정을 수행한다.
- <45> 중간주파수신호(I_{IF} , Q_{IF})에는 도플러 주파수가 존재한다. 캐리어 수치제어발진기(202)는 검출된 도플러 주파수 정보에 응답하여 주파수가 가변되는 발진신호를 발생한다. 사인신호발생기(204)는 상기 발진신호를 입력하여 사인신호를 발생하고, 코사인신호 발생기(206)는 상기 발진신호를 입력하여 코사인신호를 발생한다.
- <46> 동상 승산기(208)는 중간주파수신호(I_{IF})와 사인신호를 승산하여 베이스밴드의 동상신호(I_B)를 발생한다. 직교상 승산기(210)는 중간주파수신호(Q_{IF})와 코사인신호를 승산하여 베이스밴드의 직교상 신호(Q_B)를 발생한다.
- <47> 코드 수치제어발진기(212)는 탐색위상에 응답하여 위상이 가변되는 발진신호를 발생하고 발생된 발진신호에 응답하여 PN 코드 발생기(214)에서 복제 코드를 발생한다. 발생된 복제코드

는 코드 쉬프터(216)를 통하여 서로 다른 지연특성을 가진 m 개의 지연복제코드들로 발생된다. 발생된 m 개의 지연복제코드들 각각은 상관 적분부(218)의 대응하는 탭들(TAP1~ m)에 제공된다.

- <48> 상관 적분부(218)는 m 개의 상관 적분기들을 포함한다. 각 상관 적분기는 동상 신호(I_B)와 직교상 신호(Q_B)를 각각 대응하는 지연복제신호와 승산기에서 승산하여 상관 값을 구하고 구해진 동상 및 직교상 상관 값들은 각 적분기를 통하여 전검출(pre-detection) 적분시간동안 적분되어 동상 및 직교상 상관적분 값들을 각각 발생한다.
- <49> 각 탭(TAP1~TAP m)별로 구해진 동상 및 직교상 상관 적분 값들, 즉 매 샘플주기마다 $2m$ 개의 샘플 값들이 k 회에 걸쳐서 메모리(220)에 저장된다. 따라서, 메모리(220)에는 $2mk$ 개의 샘플 값들이 저장된다.
- <50> 따라서 채널당 탭수가 n 개라면 n 개의 샘플 값들이 매 샘플주기마다 메모리(220)에 저장되게 된다.
- <51> 탐색처리기(112)에서는 샘플기간동안, 즉 후검출(post-detection)시간동안 메모리에 저장된 샘플 값들을 각 탭별로 $2k$ 개씩 가져다가 동상 및 직교상 신호 각각에 대하여 고속 푸리에 변환하고 변환된 값을 임계 값과 비교하여 피크 값을 찾는다. 피크 값을 가진 탭이 검출되면, 피크 값을 가진 지연복제코드가 탭의 중앙, 즉 $m/2$ 위치의 탭에 위치하도록 제어한 다음에 이에 대한 확인절차, 즉 트래킹동작을 수행하여 동기추적모드를 수행한다. 반대로 피크 값을 가진 탭이 검출되지 않으면 수신된 신호가 잡음만 있는 것으로 판단하여 탐색범위, 즉 위상과 주파수를 변경한다. 즉, 코드 수치제어발진기(212) 및 캐리어 수치제어발진기(202)의 값이 변경되도록 제어한다.

- <52> 이와 같은 코스타스 루프(costas loop)를 동기가 포착될 때까지 탐색할 위상과 주파수를 변경하면서 반복 수행한다.
- <53> 그러므로, 종래의 수신기에서는 메모리에 저장되는 샘플들의 수가 채널수, 탭수, 동상 및 직교상, 후검색시간의 샘플링 수의 곱으로 정해지게 되므로 대용량의 저장장소가 필요하게 된다.
- <54> 다량의 샘플들을 메모리에 라이팅하고 라이팅된 데이터를 리딩하는 동작을 고속으로 수행하여야 하므로, 하드웨어 개발자나 설계자 입장에서 탐색처리기와 메모리 사이의 신호 인터페이싱을 위한 하드웨어 설계부담이 증가되게 된다.
- <55> 또한, 탐색처리부(112)에서는 동상 및 직교상의 2채널에 대하여 각각 FFT를 수행하여 그 결과 값을 각각 구한 다음에 피크 값 판단부에서 구해진 결과 값들의 절대값을 가지고 피크 값을 가진 탭을 탐색한다. 그러므로 2 채널 FFT와 탐색처리 알고리즘이 복잡해지고 처리시간이 증가하게 된다.
- <56> 따라서, 본 발명에서는 메모리 인터페이싱 설계부담을 줄이기 위하여 메모리에 저장되는 샘플 수를 반으로 줄이고 1채널 FFT로 처리속도를 개선함으로써 기존 문제점을 해결한다.
- <57> 도 3은 본 발명에 의한 채널회로(310)의 구성을 나타낸다. 도 3의 회로에서 도 2의 회로와 동일한 부분은 동일 부호로 처리한다.
- <58> 도 3을 참조하면, 본 발명의 채널회로(310)는 상관 적분 값을 메모리(316)에 저장하기 전에 동상 및 직교상 상관 적분 값을 합성기(314)를 통하여 하나의 샘플 값($I_i + Q_i$; $0 < i < m+1$)으로 합성한다. 따라서, 메모리(316)의 저장용량을 기존 대비 1/2로 줄일 수 있고, 탐색 처리기(312)와 메모리(316) 사이의 인터페이싱을 단순화시킬 수 있다.

- <59> 메모리(316)는 샘플기간동안 k 회에 걸쳐서 매 샘플주기마다 m 개의 샘플 값들을 저장한다. 또한, 메모리(316)는 동기포착 시 센터 탭($m/2$)으로부터 동상 및 직교상 샘플 값 ($I_{m/2}$, $Q_{m/2}$)을 받아서 저장한다. 따라서, 메모리(316)의 사이즈는 각 채널회로에 대하여 $(m+2)k(1+1)$ 비트(1은 샘플 비트수)의 사이즈를 가진다. 예컨대 16비트 샘플의 경우 합성 값의 경우 17비트가 필요하게 된다. 그러므로 종래의 I , Q 샘플 값을 저장하는 경우에 비하여 메모리 사이즈가 약 47%정도 줄어들게 된다.
- <60> 탐색처리부(312)는 각 탭별로 k 개의 샘플들을 받아서 1채널 FFT(312-1)를 통하여 푸리에 변환한다. FFT 변환된 값을 피크 값 판단부(312-2)에서 임계 값과 비교함으로써 피크 값을 가진 탭을 판단한다.
- <61> 피크 값을 가진 탭이 발견될 경우에는 동기가 포착된 것으로 결정하고 동기추적을 위하여 대응되는 탭의 지연복제신호가 센터 탭에 위치하도록 코드 수치제어발진기(212), 코드발생기(214), 코드 쉬프터(216)를 제어하여 피크 값이 나오는 코드 값과 주파수를 고정시킨다. 그리고, 고정된 코드 값과 주파수에 의해 센터 탭을 통하여 획득된 동상 샘플 값($I_{m/2}$)과 직교상 샘플 값($Q_{m/2}$)을 합성부(314)를 거치지 않고 메모리(316)에 저장한다. 이 값은 동기 추적시 위상 오프셋, 비트 바운더리 검색, 비트 디코딩에 사용된다.
- <62> 피크 값을 가진 탭이 발견되지 않을 경우에는 탐색범위를 변경하고 변경된 탐색범위의 위상과 주파수를 코드 수치제어발진기(212), 캐리어 수치제어발진기(202)에 각각 제공하여 상술한 과정을 반복하여 피크 값을 가진 탭을 탐색한다.
- <63> 도 3을 참조하면, 본 발명의 합성부(314)는 m 개의 합성기들($COMP01 \sim COMP0m$)로 구성되고 각 합성기들은 도 4에 도시한 바와 같고, 센터 합성기 ($COMP0_{m/2}$)는 도 5에 도시한 바와 같다

- <64> 도 4를 참조하면, 각 합성기(COMPOi)는 3비트 합성기로 지연기(314-1, 314-3), 배타논리합회로(314-2, 314-4), 가산기(314-5)를 포함한다.
- <65> 지연기(314-1)는 동상 채널에서 현재 동상 샘플 값의 사인비트를 1샘플주기 지연시켜서 이전 동상 샘플 값의 사인비트를 발생한다.
- <66> 배타논리합회로(314-2)는 현재 동상 샘플 값의 사인비트와 이전 동상 샘플 값의 사인비트를 비교하여 불일치 시에 현재 동상 샘플 값의 사인비트를 마이너스로 하고, 동일한 경우에는 플러스로 한다.
- <67> 지연기(314-3)는 직교상 채널에서 현재 직교상 샘플 값의 사인비트를 1샘플주기 지연시켜서 이전 직교상 샘플 값의 사인비트를 발생한다.
- <68> 배타논리합회로(314-4)는 현재 직교상 샘플 값의 사인비트와 이전 직교상 샘플 값의 사인비트를 비교하여 불일치 시에 현재 직교상 샘플 값의 사인비트를 마이너스로 하고, 동일한 경우에는 플러스로 한다.
- <69> 가산기(314-5)는 배타논리합회로(314-2)의 출력비트와 동상 샘플 값 2비트를 일측 3비트 입력으로 하고 배타논리합회로(314-4)의 출력비트와 직교상 샘플 값 2비트를 타측 3비트 입력으로 하여 이들을 합산하고 그 결과 값을 4비트 데이터신호로 출력한다.
- <70> 따라서, 본 발명의 합성기는 현재 값과 이전 값의 부호가 동일할 경우에는 부호를 플러스로 하고, 서로 다를 경우에는 마이너스로 하고, 절대 값은 현재 값의 $1/2$ 값으로 한다. $1/2$ 는 절대 값의 크기를 조정하기 위한 것으로 이론적으로 양수이면 족하다.

<71> 도 5를 참조하면, 센터 탭에 대응하는 센터 합성기(COMPO_{m/2})는 상술한 합성기와 동일한 구조를 가진다. 다만, 동기 포착 시에 동상 샘플 값($I_{m/2}$)과 직교상 샘플 값($Q_{m/2}$)을 메모리에 제공하기 위한 패스(PS1, PS2)를 더 가진다.

<72> < 컴퓨터 시뮬레이션 예 >

<73> 강한 신호(1dB)에서 피크 값이 존재하지 않는 탭과 피크 값이 존재한 탭의 샘플 값들을 비교하면 다음 표 1 및 표 2 와 같다.

<74> 【표 1】

피크가 존재하지 않는 탭의 샘플값

	I_i 값 (동상 샘플값)	Q_i 값 (직교상 샘플값)	$I_i/2$	$Q_i/2$	합성값
1	174	-6	87	3	90
2	-214	280	-107	-140	-247
3	360	-88	-180	-44	-224
4	-297	154	-148.5	-77	-225.5
5	353	43	-176.5	21.5	-155
6	-84	289	-42	144.5	102.5
7	-95	-255	47.5	-112.5	-65
8	-4	-172	2	86	88
9	153	158	-76.5	-79	-155.5
10	-11	-267	-5.5	-133.5	-139
11	-267	-19	133.5	9.5	143
12	-44	-152	22	76	98
13	324	182	-162	-91	-253
14	-346	21	-173	10.5	-162.5
15	-167	-24	83.5	-12	71.5
16	20	-276	-10	138	128

<75> 【표 2】

피크가 존재한 탭의 샘플값

	$I_{m/2}$ 값 (동상 샘플값)	$Q_{m/2}$ 값 (직교상 샘플값)	$I_{m/2/2}$	$Q_{m/2/2}$	합성값
1	12200	1020	6100	510	6610
2	12100	-132	6050	-66	5984
3	11900	-2650	5950	1325	7275
4	11300	-4340	5650	2170	7820
5	10700	-6010	5350	3005	8355
6	9940	-6990	4970	3495	8465
7	9250	-7910	4625	3955	8580
8	7780	-9350	3890	4675	8565
9	6510	-10400	3255	5200	8455
10	5400	-10800	2700	5400	8100
11	4080	-11400	3040	5700	7740
12	2200	-11800	1100	5900	7000
13	774	-12100	387	6050	6457
14	-408	-11900	-204	5950	5746
15	-2020	-11700	1010	5850	6860
16	-3670	-11500	1835	5750	7585

<76> 도 6은 표1의 , I 및 Q 값의 변화를 나타낸 그래프이고, 도 7은 표2의 I 및 Q 샘플 값의 변화를 나타낸 그래프이다. 도 6 및 도 7을 참조하면 피크 값이 없는 경우에는 I, Q 샘플 값의 부호변화가 매우 심하고 절대 값이 작지만 피크 값이 있는 경우에는 I, Q 샘플 값의 부호의 변화가 거의 없고 절대 값이 상대적으로 매우 큼을 알 수 있다.

<77> 도 8은 표1 및 표2의 합성 값의 변화 및 피크 탭 추세선을 나타낸 그래프이다. 도 8을 참조하면, 합성 값의 부호변화의 횟수가 I, Q 샘플 값의 부호변화 횟수보다 줄어들고 절대 값도 줄어들게 된다. 피크 값이 없는 경우에는 부호 변화의 횟수는 줄어들었으나 여전히 부호 변화가 심하지만, 피크 값이 있는 경우에는 부호 변화가 전혀 없음을 알 수 있다.

<78> 도 9는 표1 및 표2의 I, Q 샘플 값을 각각 2채널 FFT하고 그 결과의 절대 값과, 표1의 합성 값을 1채널 FFT한 결과 값을 나타낸 그래프이다. 도 9에 도시한 바와 같이 합성 값을 1채널 FFT한 결과는 피크 값이 있는 탭의 2채널 FFT한 결과와 유사함을 알 수 있다. 따라서, I 및

Q 샘플 값을 먼저 합성하고 합성 값을 1채널 FFT를 하더라도 피크 값의 탐색이 가능함을 알 수 있다.

<79> 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<80> 상술한 바와 같이 본 발명에서는 각 탭들에서 I 및 Q 샘플 값을 각각 분리하여 메모리에 저장하는 것이 아니라 이들의 합성 값을 하드웨어적으로 구하고 구해진 합성 값을 하나의 샘플 값으로 메모리에 저장함으로써 메모리 공간을 약 47.5% 정도 줄일 수 있다.

<81> 또한, 2채널 FFT가 아니라 1채널 FFT로 구성함으로써 FFT 구성을 간략화시킬 수 있고, FFT 후에 절대 값의 계산과정이 생략되므로 처리속도를 개선할 수 있다.

<82> 따라서, CDMA 수신 집적회로 에서 코스타스 루프 회로의 구성을 간략화 할 수 있고, 처리성능을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

수신된 동상신호 및 직교상 신호와 복제된 신호 사이의 동상 및 직교상 상관 적분 값을 각각 구하는 단계;

상기 구해진 동상 및 직교상의 상관 적분 값 쌍을 합성하여 하나의 샘플 값으로 발생하는 단계;

소정의 샘플기간 동안 상기 샘플 값들을 저장하는 단계;

상기 저장된 복수의 샘플 값들을 1 채널 고속푸리에 변환하여 변환 값을 획득하는 단계; 및

복수의 탭들에 대하여 각각 획득된 변환 값들로부터 피크 값을 가지는 탭을 결정하는 단계를 구비하는 것을 특징으로 하는 동기포착방법.

【청구항 2】

제1항에 있어서, 상기 샘플 값을 발생하는 단계는

현재 동상 상관 적분 값과 이전 동상 상관 적분 값의 부호가 서로 다를 경우에는 현재 동상 상관 적분 값의 부호를 음의 부호로 하고 동일한 경우에는 양의 부호로 하는 단계;

현재 직교상 상관 적분 값과 이전 직교상 상관 적분 값의 부호가 서로 다를 경우에는 현재 직교상 상관 적분 값의 부호를 음의 부호로 하고 동일한 경우에는 양의 부호로 하는 단계;

상기 부호 처리된 동상 상관 적분 값과 직교상 상관 적분 값을 합산하여 그 합산 값을 상기 샘플 값으로 발생하는 단계로 구성된 것을 특징으로 하는 동기포착방법.

【청구항 3】

제2항에 있어서, 상기 부호 처리된 동상 및 직교상 상관 적분 값들 각각의 절대 값은 현재 동상 및 직교상 상관 적분 값들 각각의 절대 값의 1/2의 값인 것을 특징으로 하는 동기포착 방법.

【청구항 4】

제1항에 있어서, 상기 방법은 상기 피크 값을 가진 탭을 결정한 이후에는 상기 결정된 탭으로부터 동상 상관 적분 값과 직교상 상관 적분 값을 분리 샘플 값으로 각각 저장하는 단계를 더 구비하는 것을 특징으로 하는 동기포착방법.

【청구항 5】

복수의 탭들로 구성되고, 각 탭에서는 수신된 동상신호 및 직교상 신호와 복제된 신호 사이의 상관 적분 값을 각각 구하는 상관 적분부;

상기 구해진 동상 및 직교상의 상관 적분 값 쌍을 합성하여 각 탭별로 하나의 샘플 값을 각각 발생하는 합성부;

소정의 샘플기간 동안 상기 샘플 값들을 저장하는 제1저장부;

상기 저장된 샘플 값들을 고속푸리에 변환하여 변환 값을 획득하고, 획득된 변환 값들로부터 피크 값을 가지는 탭을 판단하는 피크탭 판단부; 및

상기 피크탭 판단부에 응답하여 상기 상관 적분부의 각 탭에 서로 다른 지연특성을 가진 복제된 신호를 제공하는 코드 발생부를 구비하는 것을 특징으로 하는 동기포착회로.

【청구항 6】

제5항에 있어서, 상기 합성부는

현재 동상 상관 적분 값과 이전 동상 상관 적분 값의 부호가 서로 다를 경우에는 현재 동상 상관 적분 값의 부호를 음의 부호로 하고 동일한 경우에는 양의 부호로 하는 동상 부호처리부;

현재 직교상 상관 적분 값과 이전 직교상 상관 적분 값의 부호가 서로 다를 경우에는 현재 직교상 상관 적분 값의 부호를 음의 부호로 하고 동일한 경우에는 양의 부호로 하는 직교상 부호처리부;

상기 부호 처리된 동상 상관 적분 값과 직교상 상관 적분 값을 합산하여 그 합산 값을 상기 샘플 값으로 발생하는 가산기로 구성된 것을 특징으로 하는 동기포착회로.

【청구항 7】

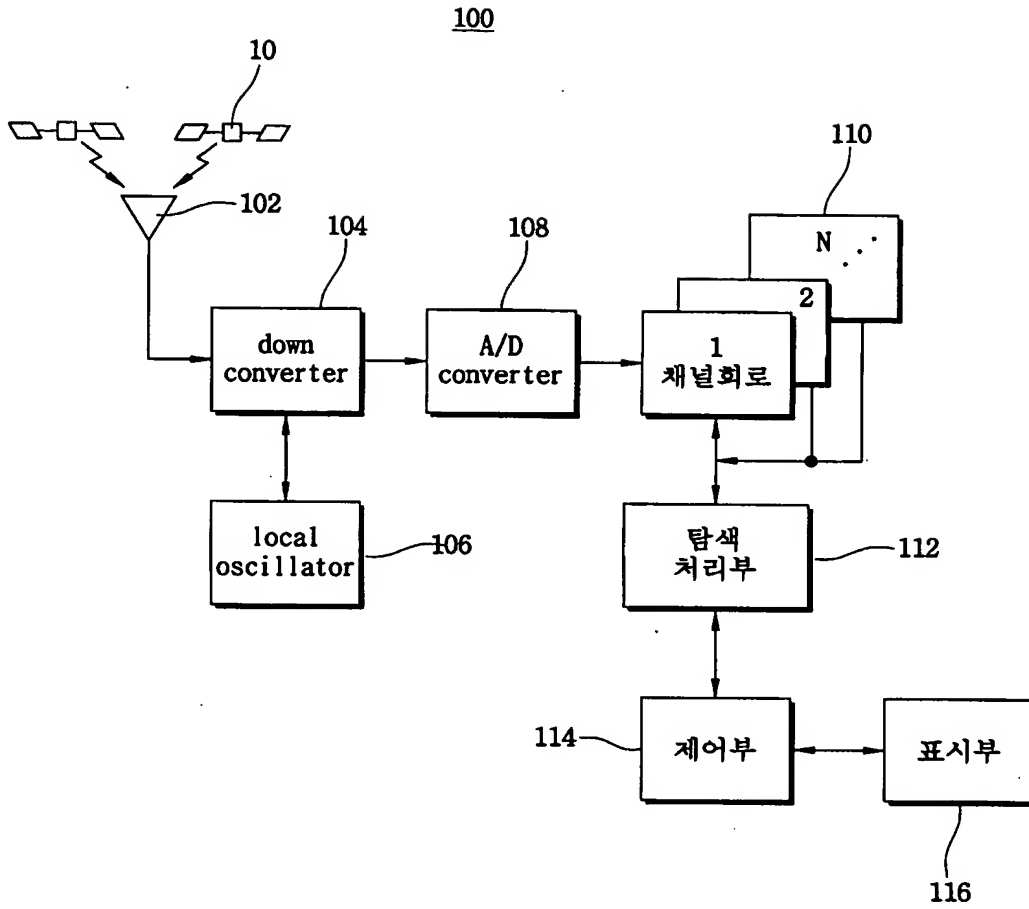
제6항에 있어서, 상기 부호 처리된 동상 및 직교상 상관 적분 값들 각각의 절대 값은 현재 동상 및 직교상 상관 적분 값들 각각의 절대 값의 1/2의 값인 것을 특징으로 하는 동기포착회로.

【청구항 8】

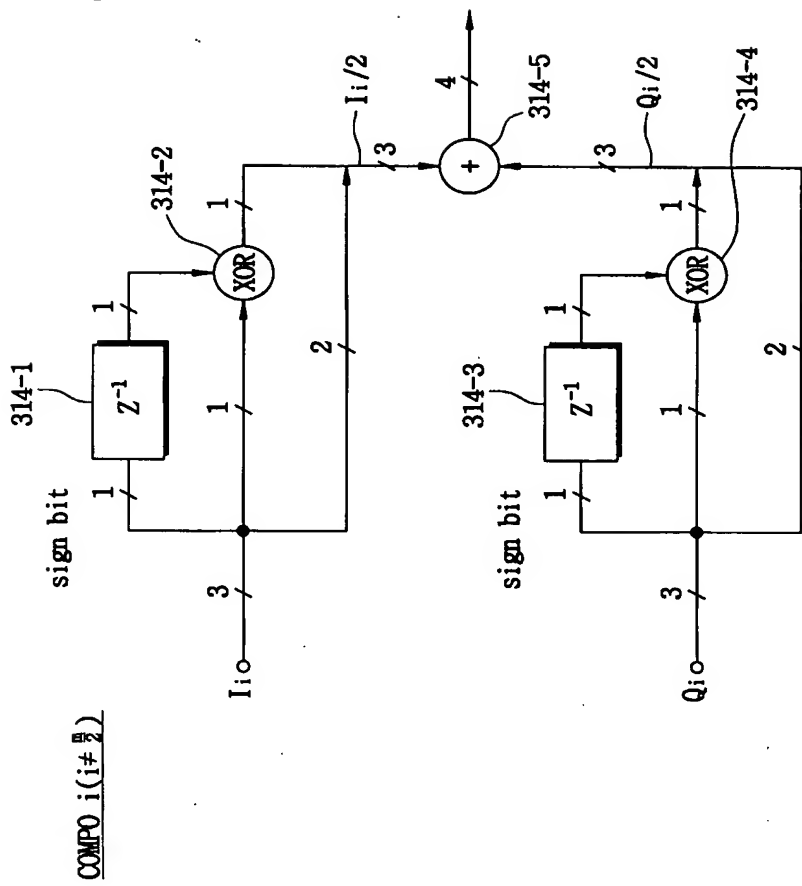
제5항에 있어서, 상기 회로는 상기 피크 값을 가진 탭을 결정한 이후에는 상기 결정된 탭으로부터 동상 상관 적분 값과 직교상 상관 적분 값을 분리 샘플 값으로 각각 저장하는 제2 저장부를 더 구비하는 것을 특징으로 하는 동기포착회로.

【도면】

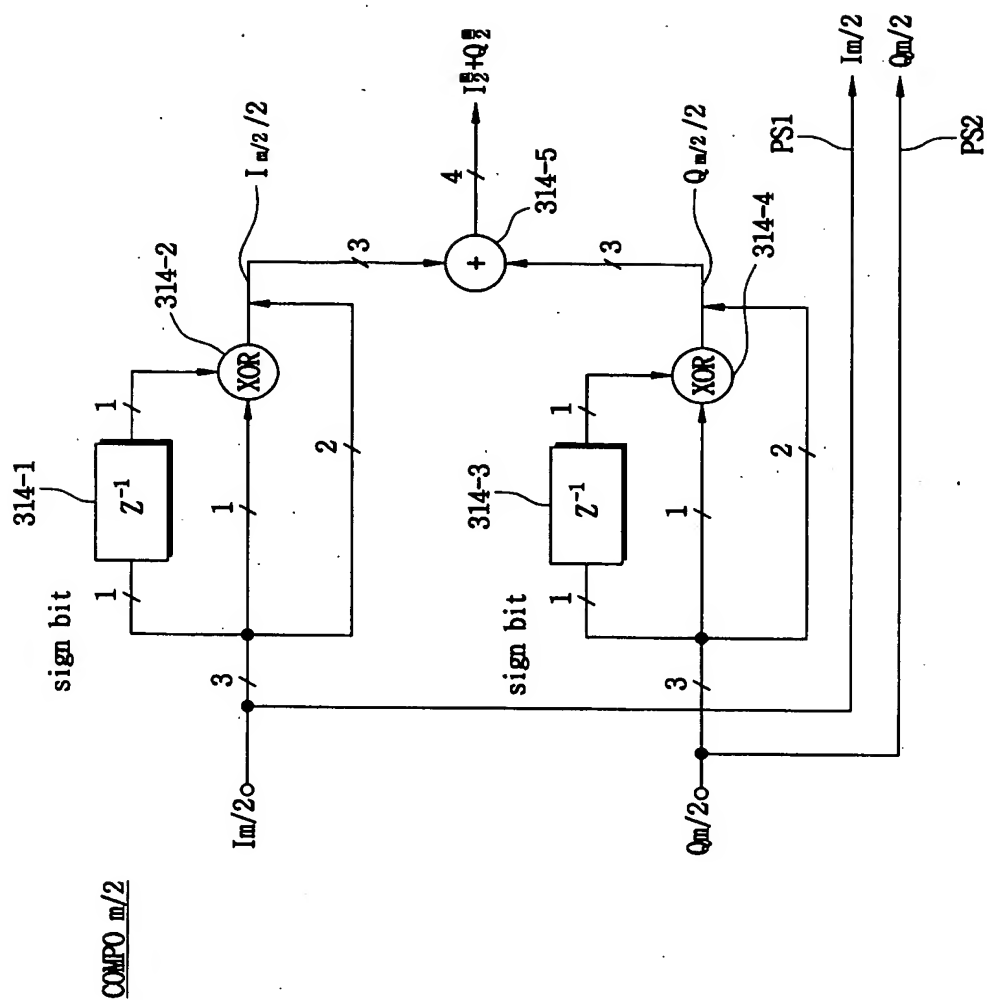
【도 1】



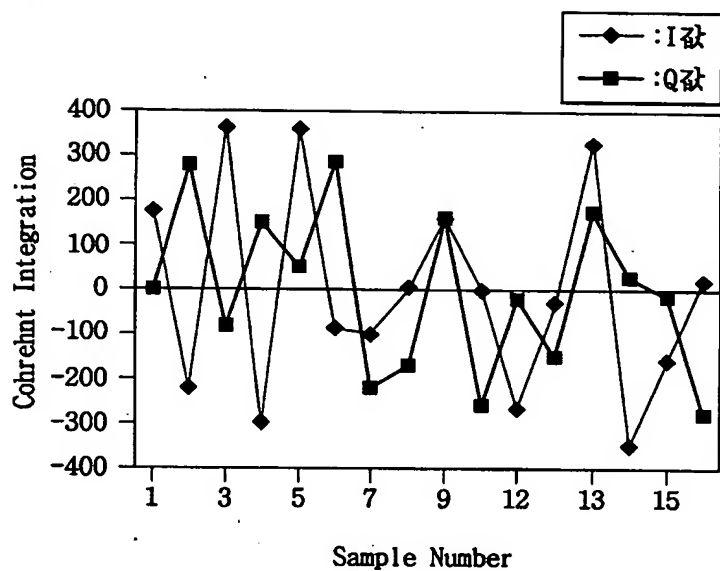
【도 4】



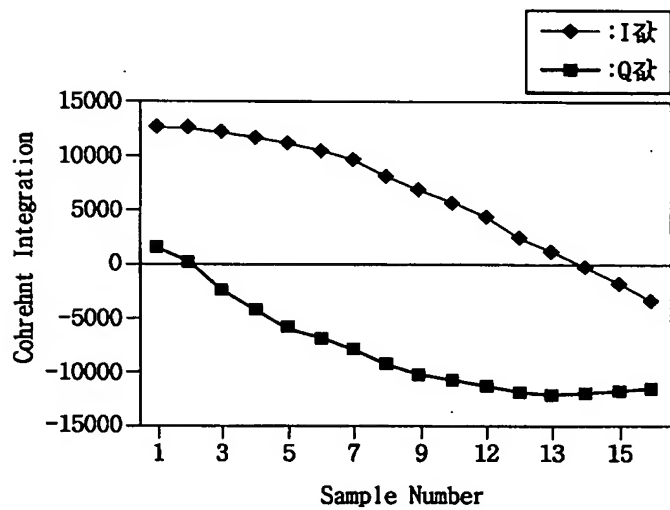
【도 5】



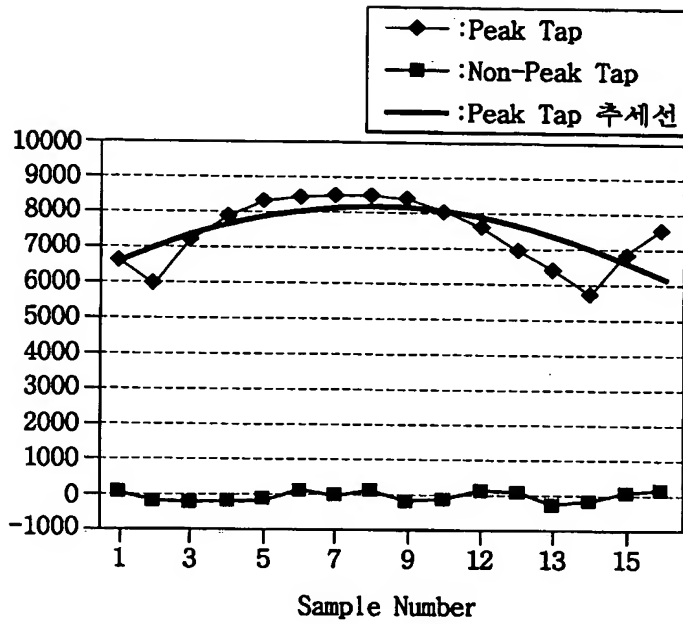
【도 6】



【도 7】



【도 8】



【도 9】

